CAPITULO 2 – Introducción a los converso res analógicos/digitales.

***CONVERSORES ANALOGICOS/DIGITALES***

**INTRODUCCION**

El conversore analogico digital (usualmente abreviados ADC o A/D converter) is un bloque escencial en muchos sistemas de procesamiento de señales digitales. Este provee una conexión entre el procesador de señales digitales y el traductor de señales analógicas. El conversor A/D es considera ser un dispositivo codificar, donde convierte una muestra analógica en una senal digital con determinado numero cuantificado de bits. Numerosos tipos de conversores A/D han sido fabricados para las diversas aplicaciones, y es la aplicación la que determina la técnica de conversión. Desde el punto de vista de la implementación, los conversores analógicos/digitales típicamente contiene uno o mas comparadores, compuertas, componentes pasivos de precisión, un voltaje de referencia preciso y una lógica de control digital.

**PRINCIPIOS BASICOS**

Hay diversos algoritmos y formas de realizar el conversor analógico/digital ofreciendo diferentes ventajas y desventajas entre ellos. La relación de compromiso se da entre la resolución de conversión, velocidad y economía (haciendo referencia a la complejidad del ciruito, el area del mismo en el chip, la potencia de disipación, etc.) ofreciendo gran cantidad de opciones. Las características de los conversores A/D mas practicos se encuentran comprendidas entre anchos de banda de 1 Hz y 5 GHz, con resoluciones de unos pocos bits a 24 bits. Diferentes aplicaciones obviamente requieren diferentes parámetros, en la Figura 1 se ilustra el rango aproximado de requerimiento para sistemas comunes que contengan ADCs.

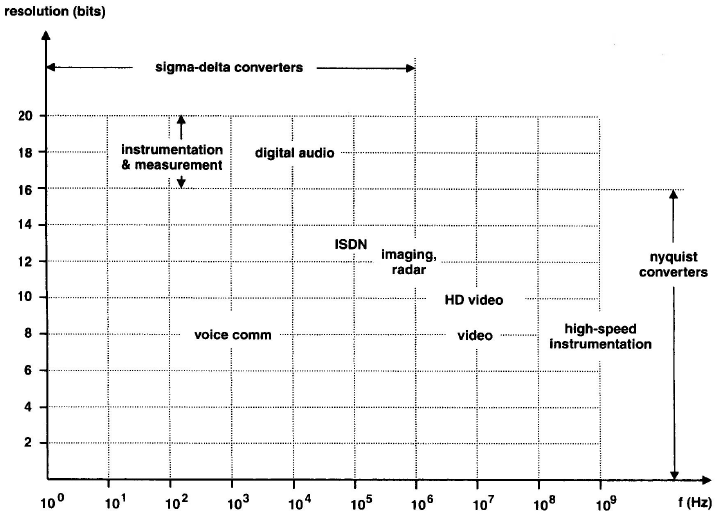


Figura ) Velocidad y resolución requerida en los ADCs en varias aplicaciones

Clasificando a los ADCs según su velocidad de conversión, tenemos 3 categorias:

1. *ADCs de Alta Velocidad*: en estos dispositivos, las muestras analógicas son convertidas a la misma velocidad que la señal de reloj, o a su mitad de rango. A pesar de ello, existe una constate de tiempo de retardo (latency) entre el tiempo en que la muestra de la señal analógica entra al conversor y cuando la señal digital generada aparece en la salida. Ejemplos de estos son los conversores Flash, pipeline, de interpolación, etc. Tienen rangos de conversión de entre 0.5 MS/s hasta 10 GS/s, con resoluciones entre 6 a 12 bits.
2. *ADCs de Media Velocidad*: para N-bits de ADCs, se requieren N periodos de reloj para cada muestra analógica. Estoy hace que la conversión sea N veces más lenta que el reloj. Típicas realizaciones incluyen varios conversores seriales (conversores de sucesivas aproximaciones). Los rangos de conversión se encuentran entre 0.1 MS/s y 0.5 MS/s con unas resoluciones de 10 a 14 bits.
3. *ADCs de Baja Velocidad*: para resoluciones de N-bits, estos dispositivos requieren aproximadamente 2N periodos de reloj para cada conversión de muestra analógica. Esto los hace de muy baja velocidad operativa. Son utilizados con señales constantes o de muy baja velocidad de variación. Ejemplos son circuitos integradores o de conteo, tal como conversores simple o doble rampa. Su resolución se encuentra en los rangos de 15 a 24 bits.

**PARAMETROS CARACTERISTICOS DEL CONVERSOR A/S**

El diagrama en bloque de un ADC se muestra en la Figura 2. la entrada analógica (típicamente *vin*) es normalizada a un voltaje de referencia Vref y su nivel de voltaje es convertido en una señal digital de N-bits llamada *Bout* formada por *b1, b2,….bn*. Bajo condiciones ideales, ignorando el ruido y las imperfecciones de los componentes, la relación entre estas tres señales es:

Donde es el error cuantificado generado por el número finito de bits *N* usados en la conversión. Este error es inherente al proceso and puede ser reducido solamente aumentando el número de bits utilizados *N* o reduciendo la tensión de referencia *Vref*.

Figura ) Diagrama en bloques del conversor analógico-digital.

La función de transferencia salida-entrada del conversor se ilustra en la Figura 3 para N=2; el error de cuantizacion es la diferencia entre la curva solida en forma de escalera (la característica actual del dispositivo) y la línea punteada (que representa a la curva ideal para un numero infinito de N). Definimos el Voltaje *Least-Significant-Bit (LSB o Bit Menos Significativo)* VLSB=Vref/2N. En este caso, VLSB=Vref/4 para N=2. Como se observa en la Figura 3, la tensión no puede exceder la tensión VLSB/2 mientras permanezca en el rango entre 0 y (Vref - VLSB/2). Esto es llamado *Lineal-Conversion-Range (Rango de conversión lineal)* de un ADC, para valores de fuera de este rango, el conversor se satura y el valor absoluto de ya no es limitado por VLSB/2. La figura también muestra los voltajes de transición de estado (Vref/8, 3Vref/8 y 5Vref/8), los cuales determinan la tensión de la señal de entrada para los cuales *Bout* cambia su valor.



Figura ) Función de transferencia de un ADC para 2 bits.

En la practica, la conversión ideal que se ilustra en la Figura 3 no se puede llevar a cabo, los voltajes de umbral que son múltiplos pares de VLSB/2 ocurrirán a diferentes valores de , produciendo varios errores. Algunos de los errores más comunes se representan en las Figuras 4 y 5. En la Figura 4 se observa la función de transferencia característica con error de offset. El error de offset el movimiento lateral que ocurre. El error de ganancia es ilustrado en la Figura 2.5, el umbral de voltaje permacene igualmente separado, pero esa separación ya no es mas VLSB que seria la correcta.



Figura ) Funcion de transferencia para un ADC de 2 bits con y sin error de offset.



Figura ) Funsion de transferencia para un ADC de 2 bits con y sin error de ganancia.

Ambos errores de ganancia y offset son errores lineales, no distorcionan la senal de entrada, solo generan un escalamiento y desplazamiento de la misma. Una distorcion mucho mas preocupante resulta de la separación desigual e inevitable de las tensiones de umbral, el cual si genera errores de nolinealidad. Dos errores de nolineadidad son representados en las Figuras 6 y 7.



Figura ) Funcion de transferencia de un ADC de 2 bits con y sin errores de nolineadidad.

Los errores de *Missing-Code* (Figura 7) se dan por las excesivas desviaciones acumulativas de las tensiones de umbral, generando asi la perdida de una conversión, lo cual es inaceptable en la practica.



Figura ) Función de transferencia de un ADC de 2 bist con y sin errores de Missing-Code.

Los errores de nolineaidad son generalmente cuantificados por los valores de sus *Integral-Nonlinearity error (INL)* y *Differential-Nonlinearity error(DNL).* Los INL son definidos por la mayor diferencia vertical (expresada en LSBs) entre los *code center points* de la característica actual de la curva y la línea que se conecta en forma recta con el punto final (endpoint), ilustrado en la Figura 8. El DNL es definido como la mayor desviación entre la actual diferencia entre dos voltajes de umbral adyacentes y el valor de diferencia ideal (Vlsb), como se muestra en la Figura 8.[[1]](#endnote-1)



Figura ) Función de transferencia no lineal demostrando los errores de INL y el peor caso de diferencia de transición.

***CONVERSOR FLASH***

La arquitectura con la cual optamos trabajar es una arquitectura de conversión paralela tipo Flash de 6 bits de resolución. Su gran ventaja es la velocidad con la cual una conversión se puede llevar a cabo, cada pulso de reloj puede generar una palabra digital de salida. La contracara es que para cada bit extra de resolución del conversor, tenemos una duplicación de la cantidad de comparadores requeridos, aumentando así el área comprendida por el dispositivo.

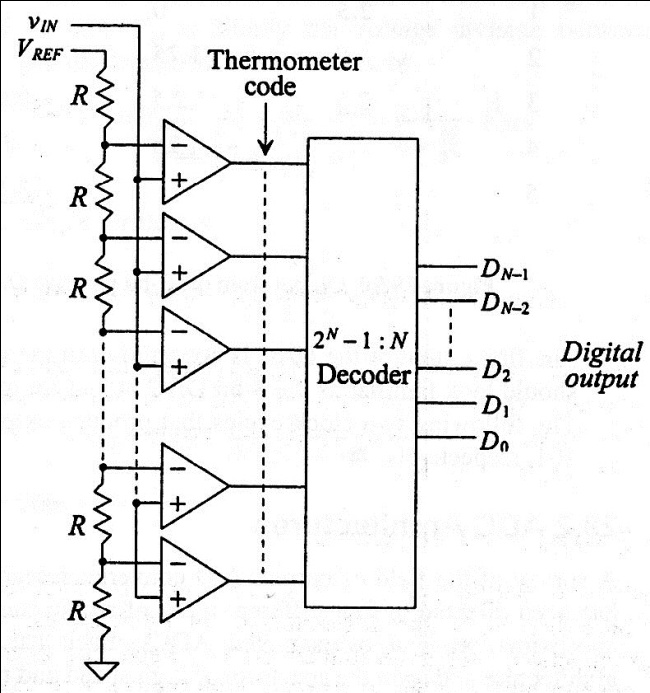
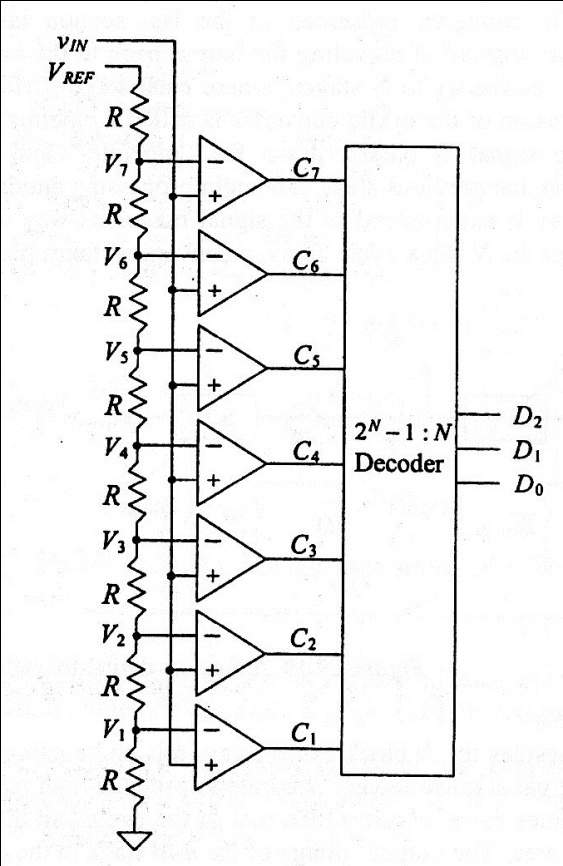


Figura ) Diagrama conceptual de un conversor Flash A/D.

Como se ve en la Figura 9, se utiliza un comparador por cuantizacion de nivel (2N-1) y 2N resistencias (una cadena de resistencias DAC). El divisor resistivo es empleado para generar 2N valores de tensiones de referencia, de los cuales cada uno de ellos alimenta la entrada de un comparador (para la Figura 9, del C7 al C1). El voltaje de entrada es comparado contra cada uno de estos valores de referencia y resulta en un código termómetro en la salida de los comparadores. Este código nos da como resultado valores “0”ceros si el valor de tensión de la señal de entrada *vin* es menor comparado con cada nivel de tensión obtenida de la cadena de resistencias, y nos da como resultado “1”unos si *vin* es mayor o igual al voltaje de cada nivel de tensión de la cadena de resistencias. El código termómetro generado por los comparadores es conectado a la entrada de la lógica codificadora la cual nos devuelve como resultado el dato digital binario.[[2]](#endnote-2)

CAPITULO 3 – Componentes del Conversor A/D.

***COMPUERTAS NAND***

**INTRODUCCION A LAS COMPUERTAS NAND**

El esquemático de las compuertas NAND de 2 entradas se muestra en la Figura 10. Cada entrada está conectada al *Gate* de un PMOS y de un NMOS.

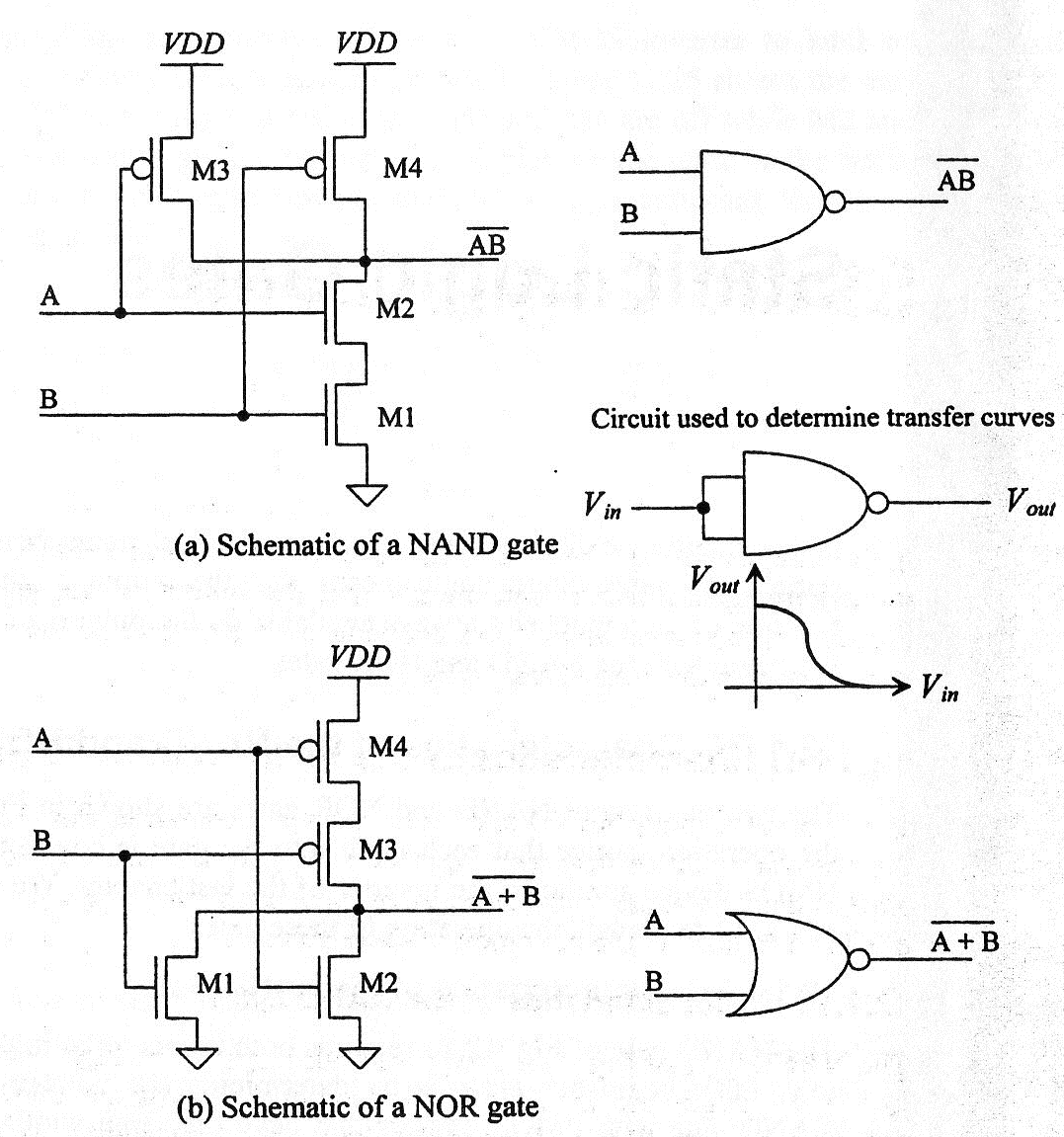


Figura ) Esquemático y símbolos lógicos de compuertas NAND y NOR.

***Características DC de la compuerta NAND***

Para que la salida de la compuerta NAND de la Figura 10 cambie el estado de su salida al nivel bajo (CREO lógico), es necesario que ambas entradas se encuentren en el estado lógico alto (UNO lógico). Comenzamos con el análisis determinando la curva de transferencia de voltaje (VTC o *Voltaje-Transfer-Curve*)de la compuerta NAND considerando que los dispositivos PMOS se encuentran dimensionados de la misma manera, con ancho *Wp* y largo *Lp* iguales, y que los dispositivos NMOS están también dimensionados en ancho *Wn* y largo *Ln* iguales. Ahora si ambas entradas están conectadas entre ellas, la compuerta NAND se comportaría como un Inversor.

Para determinar el punto de cambio de estado de la compuerta, *Vsp*, recordamos que dos MOSFET en paralelo se comportan como un único MOSFET con un ancho igual a la suma de ambos MOOSFET individuales. Para el paralelo de los dos PMOS de la Figura 10, podemos escribir:

Asumiendo que todos los PMOS están igualmente dimensionados. La transconductancia de estos MOSFETs también puede ser combinada y escribirla como:

Los dos NMOS conectados en serie (con sus *Gates* conectadas entre si) se comportan como un único NMOS con una longitud de cana igual a la suma de ambos MOSFETs individuales, por lo cual lo podemos escribir como:

Y su transconductancia quedaría como:

Debido a la configuración del modelo, podemos escribir la transconductacion total de la compuerta NAND como:

Ahora podemos determinar el valor de cambio de estado para compuertas NAND de “n” entradas como:

Esta ecuación es derivada bajo la consideración que todas las entradas estén conectadas entre si.

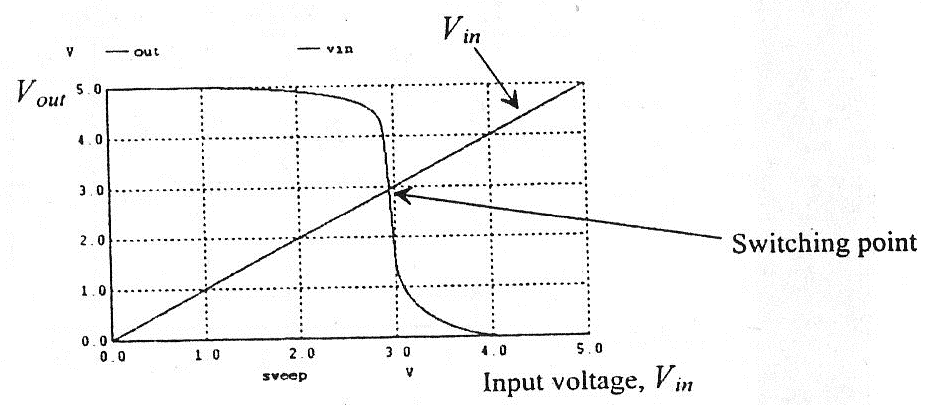


Figura ) VTC de una compuerta NAND de 3 entradas.

***Características de Switching***

*Conexión Paralela de los MOSFETs:*

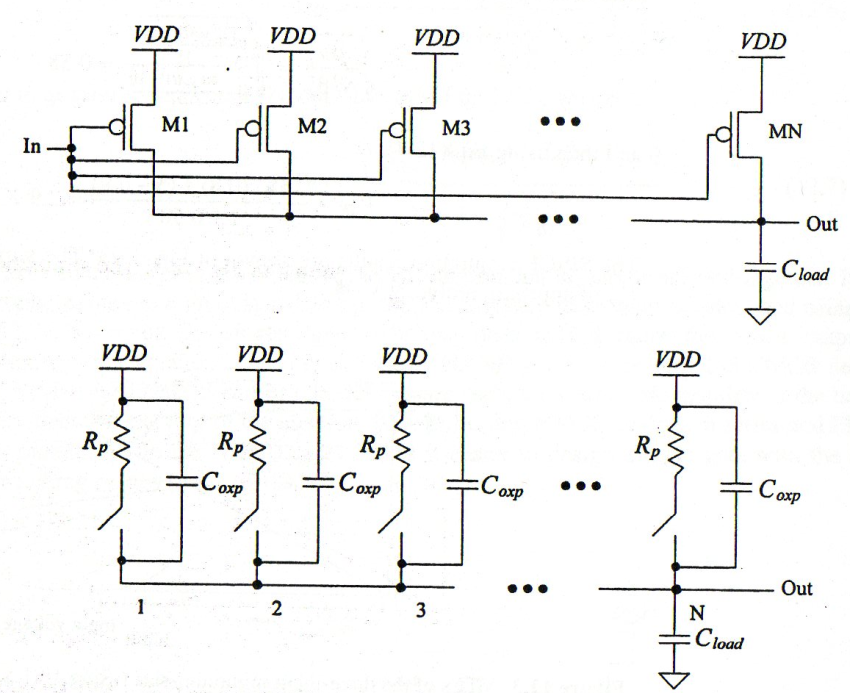
**

Figura ) Conexión paralela de MOSFETs y modelo equivalente.

Teniendo en consideración a la Figura 12, donde todos los transistores idénticamente dimensionados se encuentran con sus entradas *Gates* conectadas entre si, podemos determinar los *retardos de propagación* asociados a este esquema como:

Donde . Con un capacitor de carga externo, el retardo generado en un cambio de nivel bajo a alto es:

La capacitancia de carga, , consiste en la suma de todas las capacitancias ubicadas en el nodo de salida, excepto la capacitancia de salida de los MOSFETs en paralelo.

*Conexión Serie de los MOSFETs:*

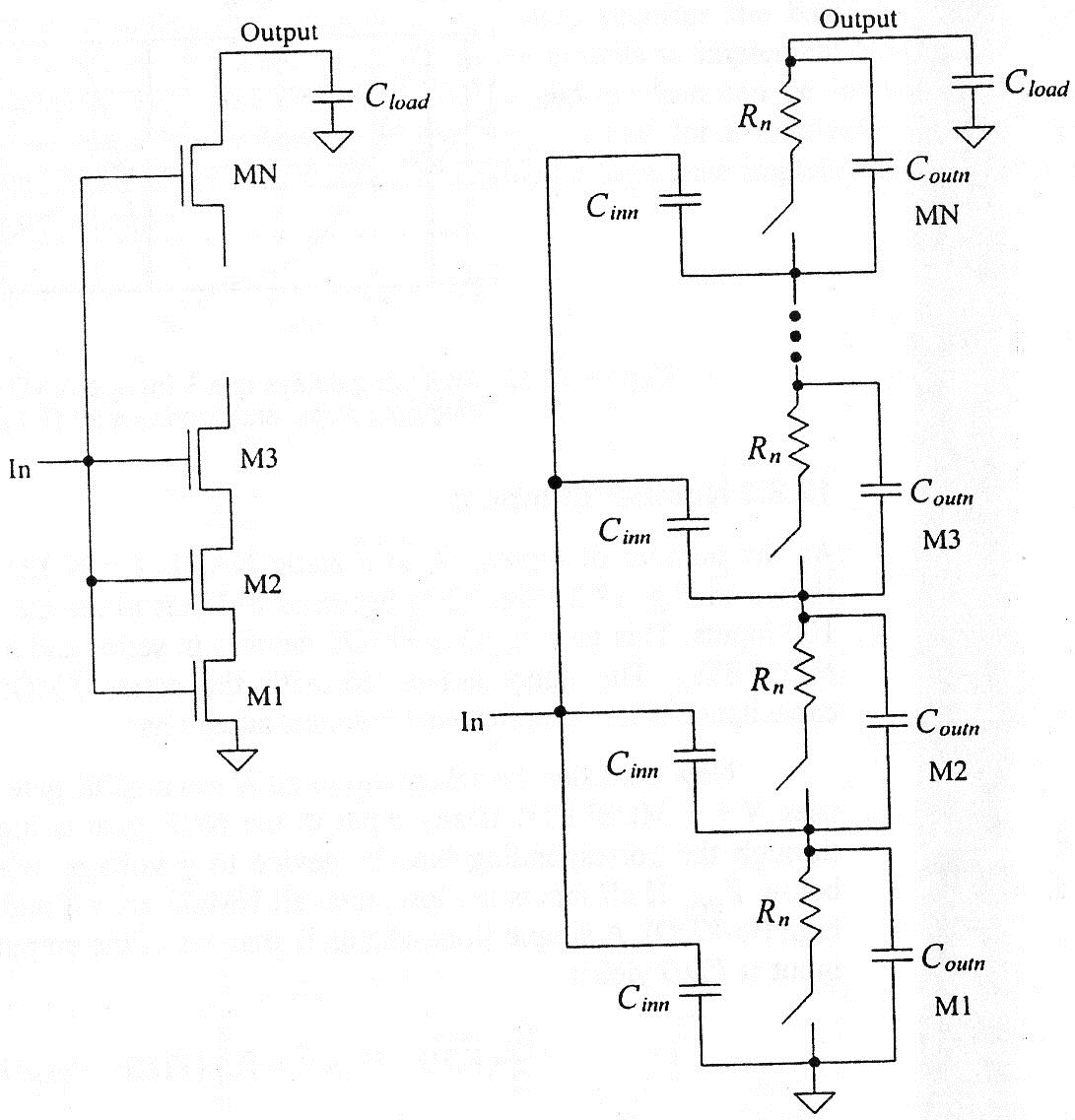
**

Figura ) Conexión serie de MOSFETs y modelo equivalente.

Considerando la conexión de los transistores como muestra la Figura 13, podemos estimar el tiempo de cambio de estado en la conexión serie de MOSFETs como:

Y analizándolo con una carga capacitiva externa, el tiempo de reatrdo en la transición de estado lógico alto a bajo seria:

***Características de Switching de la compuerta NAND***

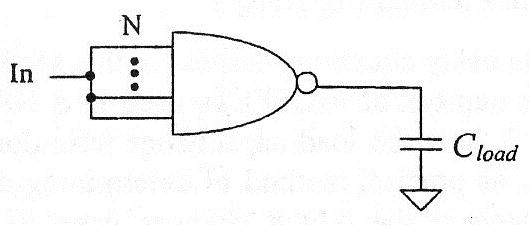


Figura ) Compuerta NAND de N entradas con una Capacitancia Cload como carga.

Considerando la compuerta NAND de n-entradas de la Figura 14 con una carga capacitiva en la salida , el tiempo de transición de bajo a alto nivel quedaría:

Y el tiempo de propagación de nivel alto a bajo quedaría:

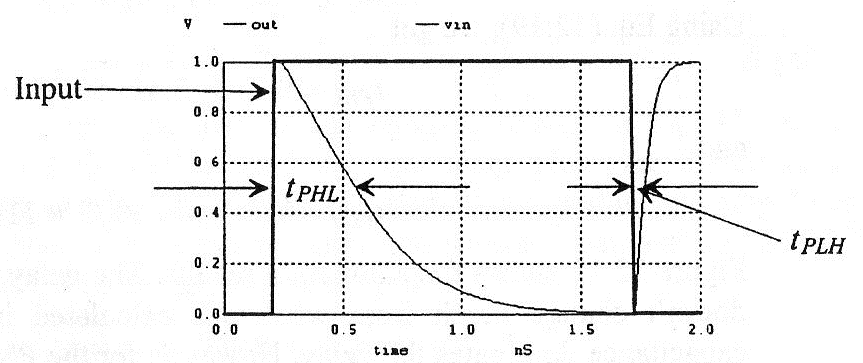


Figura ) Simulación de una compuerta NAND de 3 entradas con una capacitancia de carga de 50fF.

1. Roubik Gregorian , *Ïntroduction to CMOS OP-AMPS and Comparators”,* paginas 255-263. [↑](#endnote-ref-1)
2. R. Jacob Baker, *“CMOS Circuit Design, Layout, and Simulation”,* Second Edition, Editorial Wiley-Interscience, paginas 985-987. [↑](#endnote-ref-2)